

BEST AVAILABLE COPY

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

CERTIFIED COPY OF
PRIORITY DOCUMENT

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 56825 호
Application Number

출원년월일 : 2000년 09월 27일
Date of Application

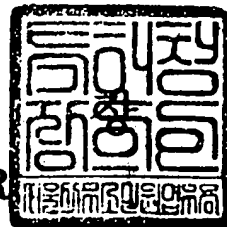
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 10 월 18 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.09.27
【발명의 명칭】	멀티레이어 패킷 처리 장치
【발명의 영문명칭】	Device for Processing multi-layer packet
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2000-046970-1
【발명자】	
【성명의 국문표기】	정진우
【성명의 영문표기】	JOUNG, JIN WOO
【주민등록번호】	700129-1702715
【우편번호】	435-050
【주소】	경기도 군포시 금정동 무궁화아파트 122-1402
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 식 (인) 정홍
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 위임장_1통

【요약서】

【요약】

본 발명은 패킷을 고속처리할 수 있도록 한 패킷 처리 장치에 관한것으로서, 연결된 네트워크와 IP패킷을 인터페이싱하기 위한 제 1 인터페이스와, 수신된 패킷의 요청 내용을 파악하기 위한 패킷 서비스 모듈과 인터페이싱하기 위한 제 2 인터페이스와, 상기 제 1 인터페이스를 통해 전달된 패킷의 처음부분부터 일부에 태그를 덧붙여 제 1 패킷으로 출력하고, 나머지 부분을 저장하는 헤더출력부와, 상기 헤더출력부로부터 제 1 패킷을 전달받아 각각 해당하는 헤더에 대응하는 처리를 순차적으로 수행한 후, 처리가 완료되면 상기 헤더출력부로부터 저장된 상기 나머지 부분을 전달받아 함께 패킷이 출력될 수 있도록 파이프라인 구조로 연결된 복수의 패킷 처리부 및 상기 복수의 패킷 처리부를 통해 처리 완료된 패킷의 태그로부터 출력 경로를 파악하여 상기 제 1 또는 제 2 인터페이스로 출력하는 출력 경로 결정부가 구비된다.

이상과 같은 본 발명의 패킷 처리 장치는 수신된 멀티레이어 패킷에 대하여 파이프라인 구조로 연결된 복수의 프로세서에서 각각 해당하는 헤더에 대응하는 처리를 순차적으로 수행하도록 함으로써 하드웨어적으로 멀티레이어 패킷을 고속처리할 수 있게 된다.

【대표도】

도 3

【명세서】

【발명의 명칭】

멀티레이어 패킷 처리 장치{Device for Processing multi-layer packet}

【도면의 간단한 설명】

도 1은 종래의 패킷 처리 동작을 설명하기 위한 도면.

도 2는 ATM 전송 방식에 이용되는 본 발명에 따른 멀티레이어 패킷 처리 장치를 나타낸 블록도.

도 3은 도 2에 추가되는 장치를 함께 나타낸 블록도.

도 4a 및 6은 도 3의 IP 프로세서 동작을 설명하기 위한 부분 블록도.

도 4b는 도 3의 IP 프로세서 동작을 설명하기 순서도.

도 5a는 도 3의 GTP 및 UDP 프로세서 동작을 설명하기 위한 부분 블록도.

도 5b는 도 3의 GTP 및 UDP 프로세서 동작을 설명하기 위한 순서도.

도면의 부호에 대한 설명

10 : 메인 모듈 인터페이스	20 : 리어셈블리
20-1 : 셀 메모리	20-2 : 커넥션 메모리
22 : 진입 IP 프로세서	22-1 : 모바일 IP 프로세서
24 : 진출 IP 프로세서	30 : IP 프로세서
40 : GTP 및 UDP 프로세서	40-1 : TEID 테이블
50 : 룩-업 프로세서	50-1 : 룩-업 테이블

60 : 세그먼트부

60-1 : 인덱스 테이블

70 : ATM 스위치 인터페이스

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <17> 본 발명은 패킷 처리 장치에 관한 것으로서, 특히 수신된 멀티레이어 패킷을 하드웨어적으로 고속처리할 수 있도록 한 멀티레이어 패킷 처리 장치에 관한 것이다.
- <18> 일반적으로 네트워크 상에서 데이터 통신을 하기 위해서는 널리 알려진 OSI 참조 모델을 바탕으로 상위계층에서 하위계층을 통해 데이터를 전송하고, 다시 하위계층에서 전송된 데이터를 전달받고 상위계층으로 전달하도록 하는 일련의 과정이 선행되어야 한다. 이 때 상위계층에서 하위계층으로 정보가 전달될 때에는 제어 정보를 갖는 헤더가 추가되는데, 이를 캡슐화 과정이라고 한다.
- <19> 또한 통신에서의 캡슐화는 다른 구조 속에 하나의 데이터 구조를 포함시키는 것으로, 최종 목적지에 도달하기까지 데이터 구조가 감추어진다. 예를 들어, 하나의 TCP/IP 형식의 데이터 패킷은 셀 단위로 전송되는 ATM 프레임 속에 캡슐화될 수 있는데, ATM 프레임이 송수신 되는 상황 속에서, 캡슐화된 패킷은 단지 ATM 데이터들 사이의 비트 스트림으로 간주될 뿐이다.
- <20> 네트워크 환경에 있는 장치들의 기능들중 하나는 위와 같이 캡슐화된 데이터 패킷의 헤더/트레일러에 대한 처리(확인, 변환, 업데이트 등)를 수행하는 것이며, 고속 통신을 위해서 빠른 처리속도가 요구된다. 부연하면 트레일러에는 데이터의 길이 정보 및 순

회 중복 검사(Cyclic Redundancy Check: CRC) 정보가 수록된다.

<21> 도 1은 종래의 패킷 처리 동작을 설명하기 위한 도면으로서, 데이터 패킷이 입력 인터페이스(1-1)를 통해 메모리(1-3)에 전달되면 중앙처리장치(1-4)에서 메모리(1-3)에 저장된 패킷의 헤더정보를 읽어들이 분석하는 것 및 처리한 후, 출력 인터페이스(1-2)를 통해 출력하게 된다.

<22> 이러한 종래의 데이터 패킷 처리 방식은 중앙처리장치(CPU)에서 메모리(1-3)에 저장된 패킷의 헤더에 실린 여러 정보를 액세스하여 처리하는 것 및 메모리(1-3)에 저장하는 동작을 반복적으로 수행하게 되므로 패킷의 처리속도가 다소 떨어지게 되며, 그로 인해 후속 입력되는 패킷이 메모리에서 대기 상태가 된다.

<23> 결과적으로 종래의 중앙집중식 패킷 처리방식은 패킷의 고속처리에 있어서 효율적이지 못하다는 것을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명의 목적은 상기와 같은 문제점을 해결하기 위하여 멀티프로세서를 이용하여 수신된 멀티 레이어 패킷을 하드웨어적으로 고속처리할 수 있도록 한 멀티레이어 패킷 처리 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

<25> 상기의 목적을 달성하기 위한 본 발명의 멀티프로세싱 장치는 연결된 네트워크와 IP패킷을 인터페이싱하기 위한 제 1 인터페이스와, 수신된 패킷의 요청 내용을 파악하기 위한 패킷 서비스 모듈과 인터페이싱하기 위한 제 2 인터페이스와, 상기 제 1 인터페이스를 통해 전달된 패킷의 처음부분부터 일부에 태그를 덧붙여 제

1 패킷으로 출력하고, 나머지 부분을 저장하는 헤더출력부와, 상기 헤더출력부로부터 제 1 패킷을 전달받아 각각 해당하는 헤더에 대응하는 처리를 순차적으로 수행한 후, 처리가 완료되면 상기 헤더출력부로부터 저장된 상기 나머지 부분을 전달받아 함께 패킷이 출력될 수 있도록 파이프라인 구조로 연결된 복수의 패킷 처리부 및 상기 복수의 패킷 처리부를 통해 처리 완료된 패킷의 태그로부터 출력 경로를 파악하여 상기 제 1 또는 제 2 인터페이스로 출력하는 출력 경로 결정부를 구비한다.

<26> 이하 첨부한 도면을 참조하여 본 발명을 상세하게 설명한다.

<27> 본 발명에 따른 멀티레이어 패킷 처리장치는 메인모듈로부터 인터페이스를 통하여 ATM AAL5 프로토콜의 셀 형식으로 캡슐화된 다양한 타입의 패킷을 받아들이며, 다음 표 1은 그러한 패킷 타입과 패킷 형식의 리스트를 나타낸다.

<28>

【표 1】

구분	종류	형식
UMTS PLMN core NETWORK GGSN_incoming	정상 IP	IP(20) 페이로드
	모바일 IP (IP in IP)	MIP(20) IP(20) 페이로드
	모바일 IP (Min IP)	Modified IP(20) Min Header(8 또는 12) 페이로드
	모바일 IP (GRE)	
	스페셜 UDP (L2TP, RADIUS, MIP registration, etc.)	IP UDP L2TP, etc 페이로드
UMTS PLMN core NETWORK GGSN_outgoing or SGSN	정상 IP	IP(20) UDP(ignored) GTP(ignored) 페이로드
	GTP_c	IP(20) UDP(8) GTP(12) 페이로드
	GTP_u	IP(20) UDP(8) GTP(12) 페이로드
	PPP (설정된 TEID 값을 갖는 GTP)	IP(20) UDP(8) GTP(12) PPP 페이로드

<29> 특히 위의 표 1은 광대역 이동 통신 시스템(Universal Mobile Telecommunication System: 이하 UMTS라 한다.)에 적용되는 패킷 형식을 나타낸 것이다.

<30> 광대역 이동 통신 시스템은 IP 주소를 갖는 모바일 기기를 통해 멀티미디어 데이터를 송수신할 수 있도록 하는 시스템으로서, 해당 영역 내의 모바일 기기들을 관리하는 HA(Home Agent)와 모바일 기기의 이동에 따른 수신 경로를 재조정하는 FA(Foreign Agent)가 이용된다. 표 1은 이러한 광대역 시스템에도 본 발명이 적용될 수 있음을 나타내기 위한 것이다.

<31> 표 1에 보인 것과 같은 패킷이 ATM AAL5 셀에 캡슐화 되어 전송될 때, 패킷을 하드

웨어적으로 처리하기 위한 구조를 도 2에 보이고 있다. 도 2는 메인모듈 인터페이스(10), ATM 리어셈블리(20), 진입 IP 프로세서(22), GTP(GPRS Tunnel Protocol) 및 UDP(User Datagram Protocol) 프로세서(40), 룩-업(Look-up) 프로세서(50), 진출 IP 프로세서(24), 세그먼트부(60) 그리고 ATM 스위치 인터페이스(70)가 파이프라인 구조로 연결된 모습을 나타내고 있다.

<32> ATM 리어셈블리부(20)는 메인모듈 인터페이스(10)를 통해 입력되는 ATM 셀을 패킷으로 재조립하고, 재조립된 패킷에서 헤더가 포함될 수 있도록 설정된 크기의 일부분에 태그를 덧붙여 제 1 패킷으로 출력한다.

<33> IP 프로세서(22)는 리어셈블리부(20)로부터 전달된 제 1 패킷의 IP 헤더를 분석하고, 목적지 주소가 시스템의 주소와 일치하는 경우에는 IP헤더를 제외한 제 2 패킷을 GTP 및 UDP 프로세서(40)에 출력한다. 만일 주소가 일치하지 않으면 제 1 패킷을 바이패스 신호와 함께 출력한다.

<34> GTP 및 UDP 프로세서(40)는 바이패스 신호와 함께 제 1 패킷이 전달되면 아무런 처리없이 제 1 패킷을 룩-업 프로세서(50)에 전달하게 되며, 제 2 패킷이 전달된 경우에는 UDP 헤더의 포트 번호를 체크하고, GTP 헤더의 메시지 타입 및 TEID(Tunnel end point ID) 필드를 체크를 통해 GTP 패킷으로 판단되면 유효 인덱스 값을 찾아 태그에 기록하고, 태그에 유효 인덱스 값이 기록된 제 3 패킷을 룩-업_바이패스 신호와 함께 출력한다. 이 때, UDP 헤더는 전달되지 않는다.

<35> 룩-업 프로세서(50)는 제 3 패킷이 바이패스 신호와 함께 입력되면 아무 처리없이 신호를 바이패스하게 되며, 제 1 패킷이 전달되면 전달된 패킷의 목적지 주소가 시스템의 주소와 일치하지 않는 패킷이므로 목적지 주소를 라우팅하여 목적지 주소가 업데이트

된 제 1 패킷을 출력한다.

<36> IP 프로세서(24)는 목적지 주소가 업데이트된 제 1 패킷 또는 태그에 유효 인덱스 값을 갖는 제 3 패킷이 전달되면 리어셈블리부(20)에 일시 저장된 패킷의 나머지 패이로드 부분을 요청하여 목적지 주소가 업데이트된 제 1 패킷 또는 태그에 유효 인덱스 값을 갖는 제 3 패킷과 함께 세그먼트부(60)에 패킷을 출력한다.

<37> 세그먼트부(60)는 진출 IP 프로세서(24)에서 목적지 주소가 업데이트된 제 1 패킷과 함께 나머지 패이로드부분이 전달되면 적절한 VPI/VCI 값을 찾아 ATM 셀로 분할하여 메인모듈 인터페이스(10)에 출력하며, 태그에 유효 인덱스 값을 갖는 제 3 패킷과 함께 나머지 패이로드부분이 전달되면 태그를 ATM 셀에 포함시켜 ATM 스위치 인터페이스(70)로 출력한다.

<38> 여기에서 리어셈블리(20)는 커넥션 메모리(20-2)와 셀 메모리(20-1) 두 개의 메모리를 가진다. 셀메모리(20-1)는 리어셈블리부(20)와 보드의 메인저장 기능을 한다. GTP 및 UDP 프로세서(40)는 TEID 룩-업 테이블(40-1)을 가진다. 룩-업 프로세서(50)는 IP 주소 룩-업 테이블(50-1)을 가진다. 세그먼트부(60)는 인덱스 테이블(60-1)을 가진다. 이러한 전체적인 패킷 처리 장치의 구조를 도 3에 나타내었다.

<39> 도 3과 도 4a를 참조하여 IP 프로세서의 동작을 설명한다.

<40> 먼저 상기 리어셈블리부(20)에서 메인모듈 인터페이스(10)를 통해 전달된 ATM 셀들 중 처음 수신된 부분부터 각 헤더가 제거된 4개의 셀을 취합한 192 바이트에 태그를 덧붙여 제 1 패킷(P1)으로 IP 프로세서(30)에 전달하면, (여기서 제 1 패킷(P1)의 구조는 맨 앞에 태그가 붙고, 그 뒤로 IP(20), UDP(8), GTP(12) 그리고 패이로드 첫부분이 포함

될 것이다. 괄호안의 숫자는 각 헤더의 바이트 수를 나타낸다.) IP 프로세서(30)는 제 1 패킷(P1)을 수신(S1)하고, IP 헤더 확인을 한 후에 먼저 IP 목적지 주소가 자신의 주소와 일치하는지를 검사(S2)하여 일치하지 않을 경우에는 UDP와 GTP 처리가 필요 없으므로 제 1 패킷(P1)과 함께 GTP_바이패스 신호를 GTP 및 UDP 프로세서(40)에 전달(S2-2)한다. 이 경우 GTP 및 UDP 프로세서(40)는 아무런 처리없이 제 1 패킷(P1)을 록업 프로세서(50)로 바이패스한다. 한편 IP 프로세서(30)에서 주소가 일치하는 것으로 판단(S2)된 경우에는 IP 헤더가 누락된 제 2 패킷(P2)을 GTP 및 UDP 프로세서(40)에 전송(S3)한다.

<41> 또한 도 5a 및 도 5b에서 GTP 및 UDP 프로세서(40)는 IP 프로세서(30)로부터 제 2 패킷(P2)이 수신(S11)되면 먼저 UDP 패킷인지를 검사한다. GGSN(Gateway GSN)_아웃고잉이고, 목적지 주소가 시스템의 주소와 일치하는 경우에는 항상 IP/UDP/GTP의 형식을 가져야 하므로 UDP가 아니면 에러로 판단(S12-1)한다. UDP패킷으로 판단되면 포트번호를 체크(S13)한다. 그리고 다시 GTP 패킷 여부를 파악(S14)하여 GTP 패킷이 아니면 에러로 판단(S12-1)한다. GTP로 판단되면 TEID 테이블(40-1)을 록업(S15)하여 유효 인덱스 값을 찾는다. GTP 패킷 여부는 GTP 헤더의 메시지 타입과 TEID 필드를 체크하여 메시지 타입이 255로 판단되면 GTP 패킷으로 판단한다. 그리고 TEID 록업 테이블(40-1)에서 찾은 인덱스 값을 제 2 패킷(P2)의 태그에 기록하고, UDP 헤더를 누락시킨 제 3 패킷(P3)을 록업_바이패스 신호와 함께 록업 프로세서(50)로 출력(S17)한다.

<42> 도 5a에서처럼 록업 프로세서(50)에서는 할 일이 없으므로 록업_바이패스 신호에 응답하여 아무런 처리없이 제 3 패킷(P3)을 IP 프로세서(30)에 바이패스 한다.

<43> 한편 록업 프로세서(50)는 제 1 패킷(P1)이 전달되면 전달된 패킷의 목적지 주소가 시스템의 주소와 일치하지 않는 패킷이므로 목적지 주소를 록업 테이블(50-1)에서 록

업하여 목적지 주소를 업데이트한 제 1 패킷을 IP 프로세서(30)에 출력한다.

<44> 다시 도 4b 및 도 6을 참조하여 IP 프로세서의 동작을 살펴보자. 룩-업 프로세서(50)로부터 태그에 유효 인덱스를 포함한 제 3 패킷(P3)이 전달(S4)되면 진출 IP 프로세서(30)는 태그에서 EOP(End Of Packet) 필드를 찾는다. 그리고 그것이 세트되지 않았으면 태그에서 패킷 주소 필드를 이용하여 리어셈블리(20)에 패킷의 나머지 페이로드 부분을 요구(S5)한다. 그동안에 SOP(Start Of Packet:태그, 헤더, 페이로드 첫부분)는 세그먼트부(60)에 전송되고 요구된 페이로드의 나머지부분이 전달(S6)되면 연속적으로 세그먼트부(60)에 출력(S7)한다. 여기서 페이로드 나머지 부분의 전송이 완료되기 까지 다른 SOP는 세그먼트부(60)에 보내지 말아야 한다.

<45> 그리하면 세그먼트부(60)는 태그에 유효 인덱스 값을 갖는 제 3 패킷과 함께 나머지 페이로드부분이 전달되면 태그를 ATM 셀에 포함시켜 ATM 스위치 인터페이스(70)로 출력한다. 한편 목적지 주소가 업데이트된 제 1 패킷(P1)과 함께 나머지 페이로드 부분이 전달되면 적절한 VPI/VCI 값을 찾아 ATM 셀로 분할하여 메인모듈 인터페이스(10)에 출력한다.

<46> 또한 본 발명에 따른 패킷 처리 장치는 수신된 패킷이 캡슐화된 모바일 IP 패킷이면 원래의 IP 헤더를 복구한다. 그리고 시스템이 패킷이 도달해야 할 최종목적지의 중간 노드 였다면 IP 헤더를 업데이트 한다.

<47> 이상과 같이 파이프라인 구조의 멀티프로세서가 각각 해당하는 기능을 수행하고, 다음 프로세서에 처리된 헤더 부분이 제외되어 출력되도록 함으로써 패킷의 처리속도를 향상 시킬 수 있게 된다. 또한 상기와 같이 순차적으로 패킷을 처리하는 경우 기능 모듈

을 더욱 세분하여 나누면 나눌수록 동시에 처리할 수 있는 패킷의 수가 늘어나므로 일정 시간 내에 데이터 처리량을 증가시킬 수 있게 된다.

【발명의 효과】

<48> 따라서 본 발명은 수신된 멀티레이어 패킷에 대해 파이프라인 구조를 갖는 멀티프로세서를 이용하여 하드웨어적으로 고속 처리가 가능하게 된다.

【특허청구범위】**【청구항 1】**

연결된 네트워크와 IP패킷을 인터페이싱하기 위한 제 1 인터페이스;

수신된 패킷의 요청 내용을 파악하기 위한 패킷 서비스 모듈과 인터페이싱하기 위한 제 2 인터페이스;

상기 제 1 인터페이스를 통해 전달된 패킷의 처음부분부터 일부에 태그를 덧붙여 제 1 패킷으로 출력하고, 나머지 부분을 저장하는 헤더출력부;

상기 헤더출력부로부터 제 1 패킷을 전달받아 각각 해당하는 헤더에 대응하는 처리를 순차적으로 수행한 후, 처리가 완료되면 상기 헤더출력부로부터 저장된 상기 나머지 부분을 전달받아 함께 패킷이 출력될 수 있도록 파이프라인 구조로 연결된 복수의 패킷 처리부; 및

상기 복수의 패킷 처리부를 통해 처리 완료된 패킷의 태그로부터 출력 경로를 파악하여 상기 제 1 또는 제 2 인터페이스로 출력하는 출력 경로 결정부가 구비된 것을 특징으로 하는 멀티레이어 패킷 처리 장치.

【청구항 2】

제 1 항에 있어서,

상기 헤더 출력부는 상기 제 1 인터페이스를 통해 ATM셀로 전달되는 경우 패킷으로 재조립하는 것을 특징으로 하는 멀티레이어 패킷 처리 장치.

【청구항 3】

제 1 항에 있어서,

상기 복수의 패킷처리부는 상기 제 1 패킷이 전달되면 목적지 주소와 시스템의 주소 일치여부를 판단하여 일치하는 경우 IP 헤더가 제거된 제 2 패킷을 출력하는 진입 IP 프로세서;

상기 진입 IP 프로세서로부터 상기 제 2 패킷이 전달되면 프로토콜 전송 타입 및 캡슐화된 데이터의 헤더를 분석하여 상기 태그에 분석 내용을 반영하고, 전송 프로토콜 타입 헤더가 제거된 제 3 패킷을 출력하는 캡슐화 데이터 헤더 분석부;

상기 헤더 분석부로부터 전달된 바이패스 신호에 응답하여 상기 제 3 패킷을 처리 없이 전달하며, 상기 진입 IP 프로세서에서 목적지 주소와 시스템의 주소가 일치하지 않아 상기 헤더분석부를 통해 제 1 패킷을 전달하면 목적지 주소를 업데이트 하여 출력하는 룩-업 프로세서; 및

상기 룩-업 프로세서로부터 제 3 패킷 또는 목적지 주소가 업데이트된 제 1 패킷이 전달되면 상기 헤더 출력부에 저장된 상기 나머지 부분과 함께 상기 출력 경로 결정부에 제 4 패킷 또는 목적지 주소가 업데이트된 패킷을 출력하는 진출 IP 프로세서가 구비된 것을 특징으로 하는 멀티레이어 패킷 처리 장치.

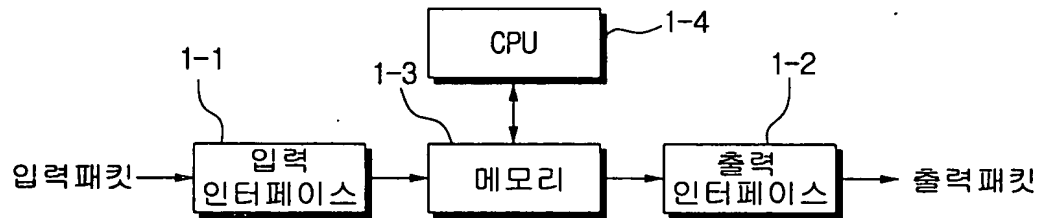
【청구항 4】

제 1 항에 있어서,

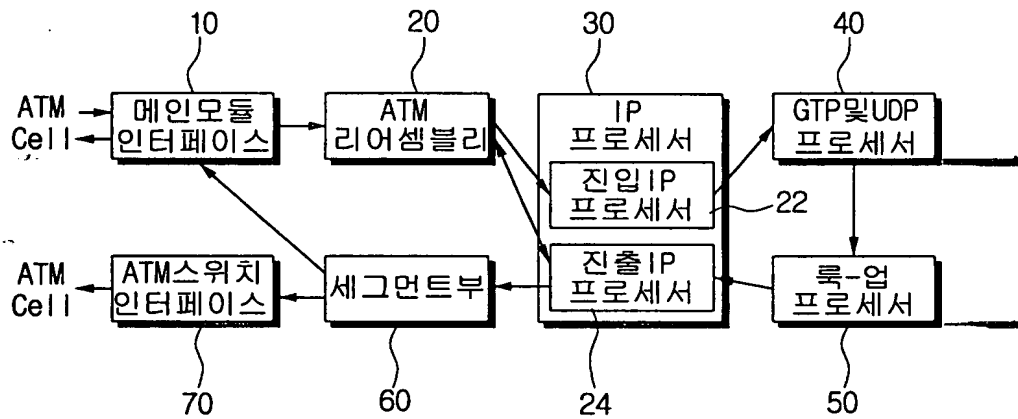
상기 출력 경로 결정부는 전달된 패킷을 ATM셀로 분할하여 출력되도록 하는 것을 특징으로 하는 멀티레이어 패킷 처리 장치.

【도면】

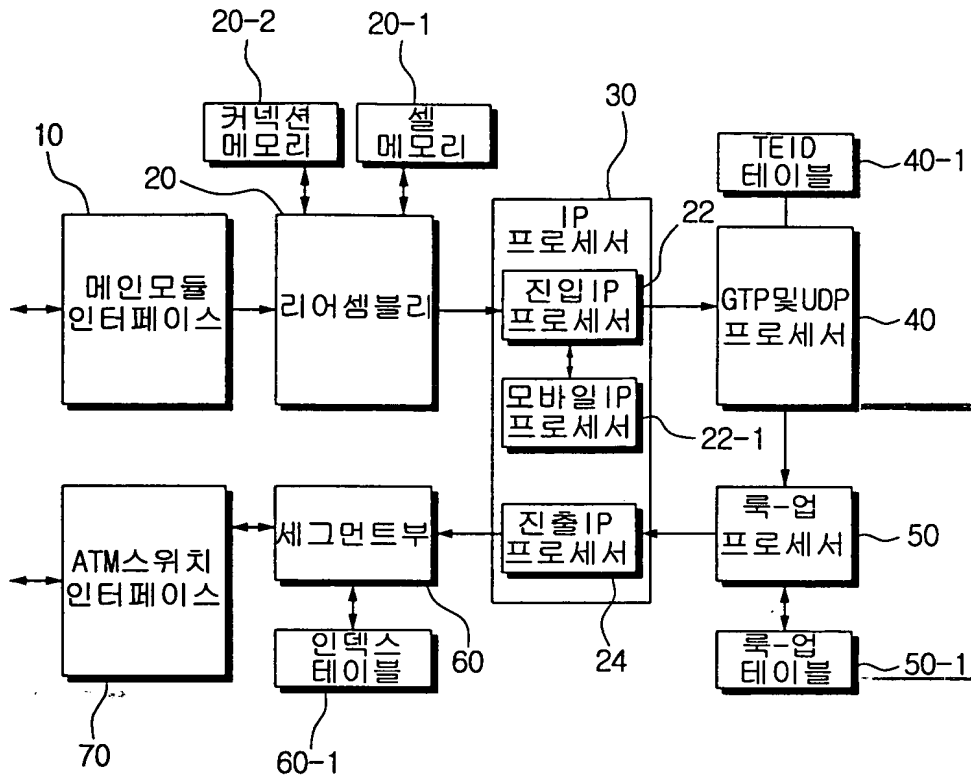
【도 1】



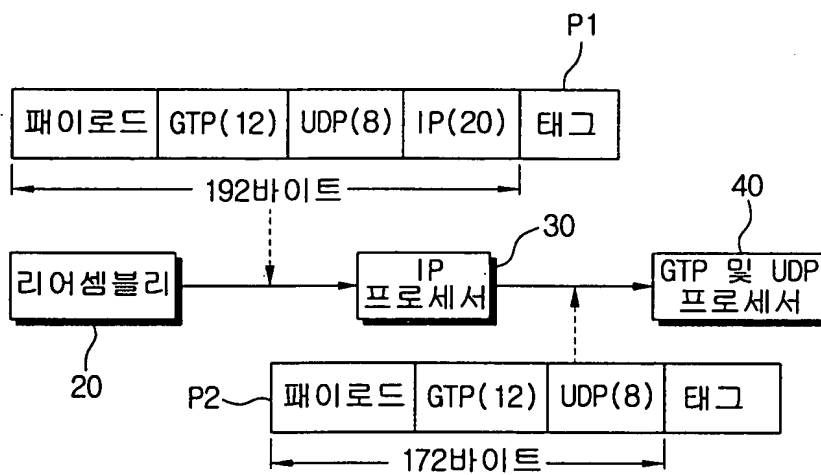
【도 2】



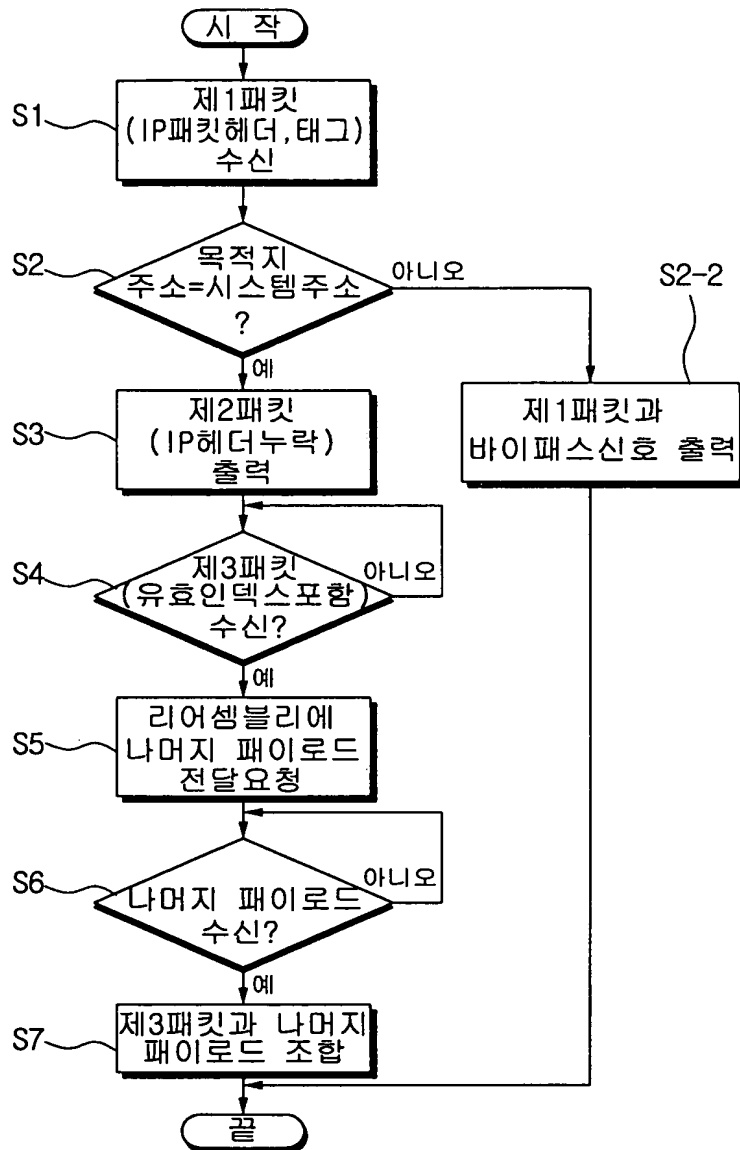
【도 3】



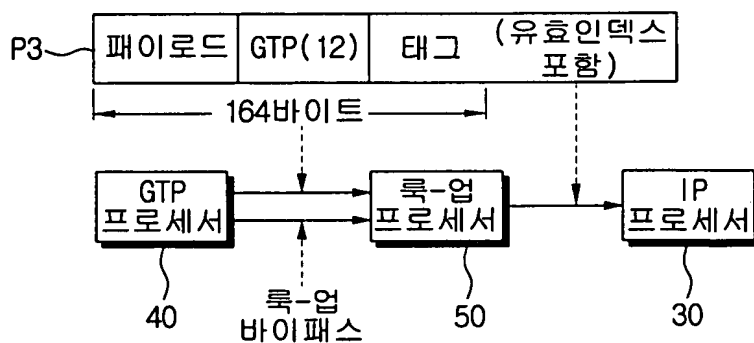
【도 4a】



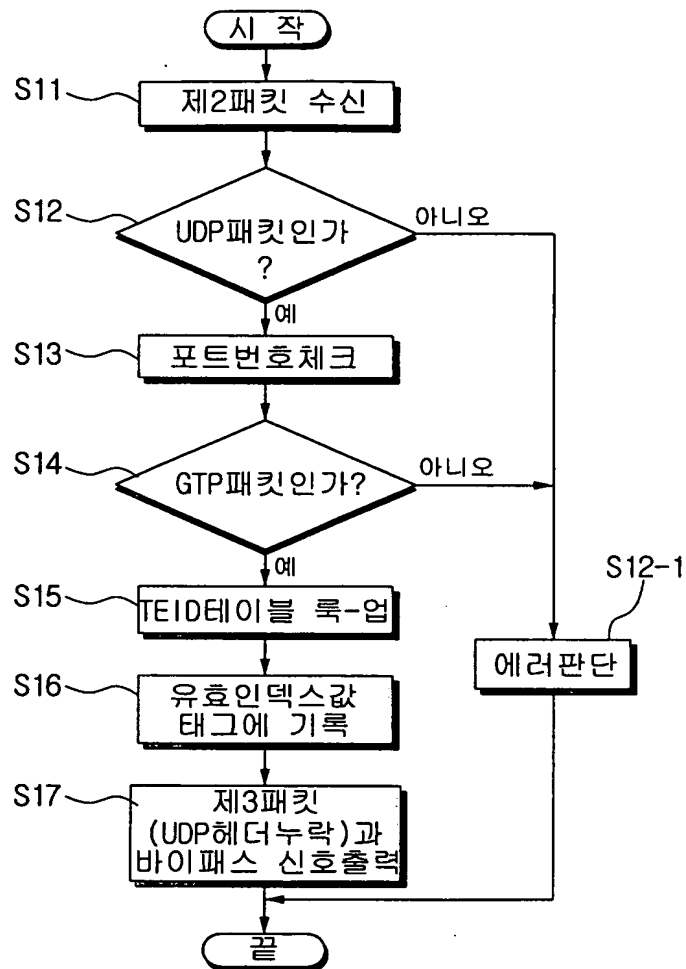
【도 4b】



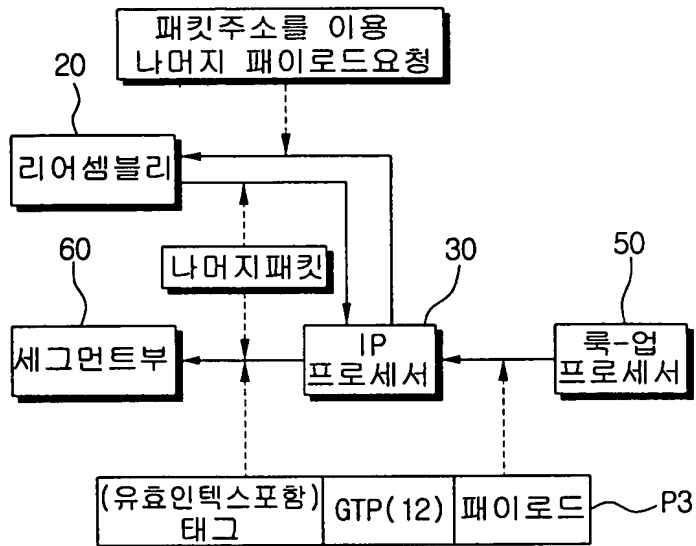
【도 5a】



【도 5b】



【도 6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.